# 实验二门电路的电特性实验报告

周义函 自93 2019010702

**一、实验目的**

1.在理解CMOS门电路的工作原理和电特性基础上，学习并掌握其电特性主要参数的测试方法。

2.在理解TTL门电路的工作原理和电特性基础上，学习并掌握其电特性主要参数的测试方法。

3.学习查阅集成电路芯片数据手册。

4.学习并掌握数字集成电路的正确使用方法。

**二、实验数据**

**1.CMOS与非门CD4011的电压传输特性**

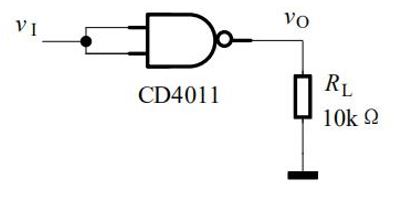
【实验任务】

·工作电压：5V

·输入信号：100Hz，0-5V，对称性50%的锯齿波（XY模式）

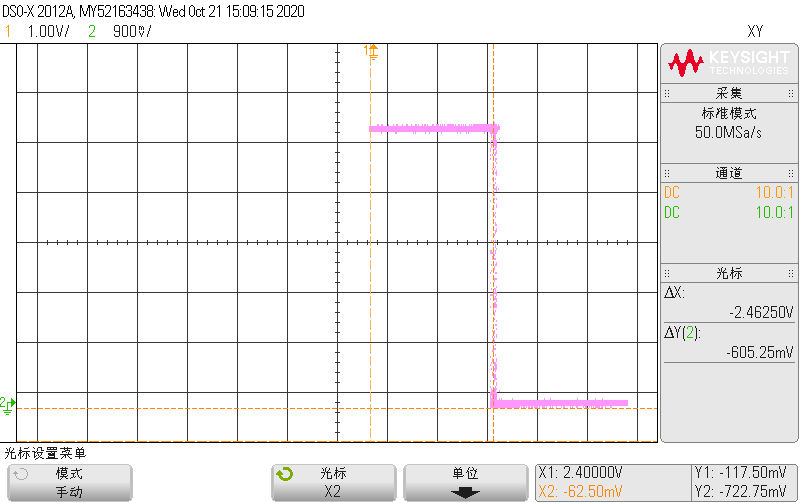
·实验任务：记录曲线；从曲线中读取阈值电压、输入噪声容限。

·测试电路图如下：



【实验结果】

·波形图如下：



VNH

VNL

·实验数据如下：

|  |  |  |
| --- | --- | --- |
| 阈值电压VTH | 输入噪声容限VNH | 输入噪声容限VNL |
| 2.400V | 2.675V | 2.463V |

**2.CMOS与非门CD4011的低电平输出特性**

【实验任务】

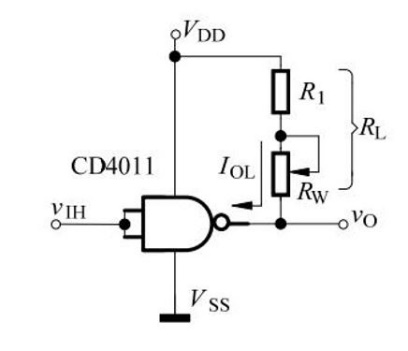
·工作电压：5V

·输入信号：恒定的高电平

·实验任务：

改变电阻,测输出电压并画输出特性曲线，测量VDD计算MOS管导通电阻RON。

·测试电路如下：



【实验结果】

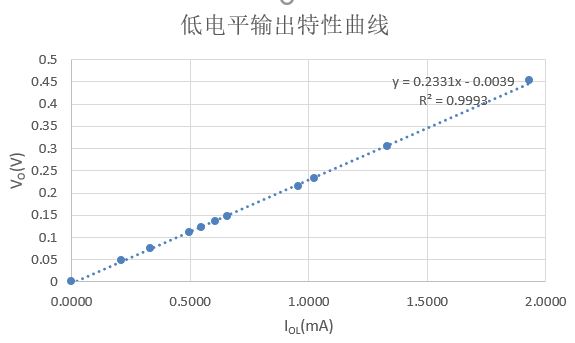
·实验数据如下

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| RL(Ω) | ∞ | 24k | 15k | 10k | 9.1k | 8.2k |
| RL测(Ω) | ∞ | 23.79k | 15.00k | 10.03k | 9.10k | 8.18k |
| VO(V) | 0.0019 | 0.0480 | 0.0745 | 0.1109 | 0.1218 | 0.1355 |
| IOL(mA) | 0 | 0.2119 | 0.3344 | 0.4964 | 0.5460 | 0.6057 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| RL(Ω) | 7.5k | 5.1k | 4.7k | 3.6k | 2.4k |
| RL测(Ω) | 7.50k | 5.10k | 4.75k | 3.59k | 2.40k |
| VO(V) | 0.1478 | 0.2146 | 0.2325 | 0.3045 | 0.4530 |
| IOL(mA) | 0.6590 | 0.9560 | 1.0226 | 1.3330 | 1.9321 |

其中

以为VO纵坐标，IOL为横坐标，用excel画出低电平输出特性曲线如下：



由拟合曲线的斜率可得MOS管导通电阻RON=233.1Ω

3.**CMOS与非门CD4011的传输延迟时间tPHL、tPLH**

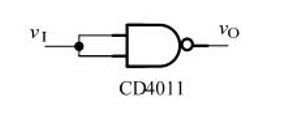
【实验任务】

·工作电压：5V

·输入信号：频率为20kHz的方波

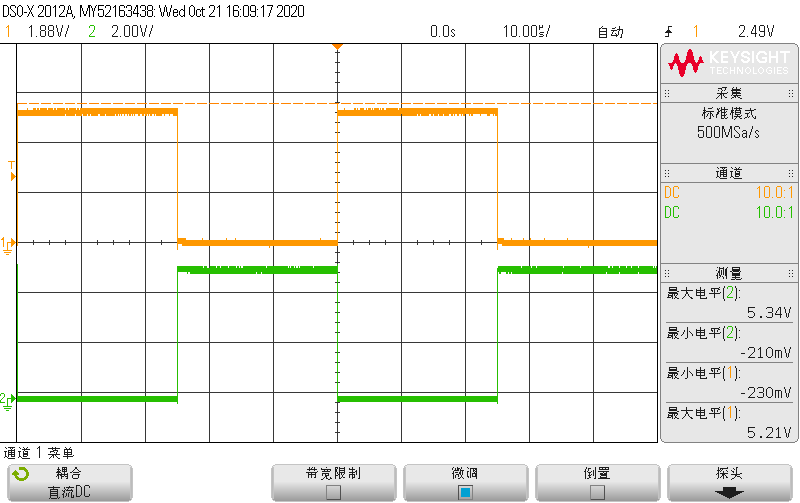
·实验任务：记录输入输出波形和传输延迟时间

·测试电路图如下：

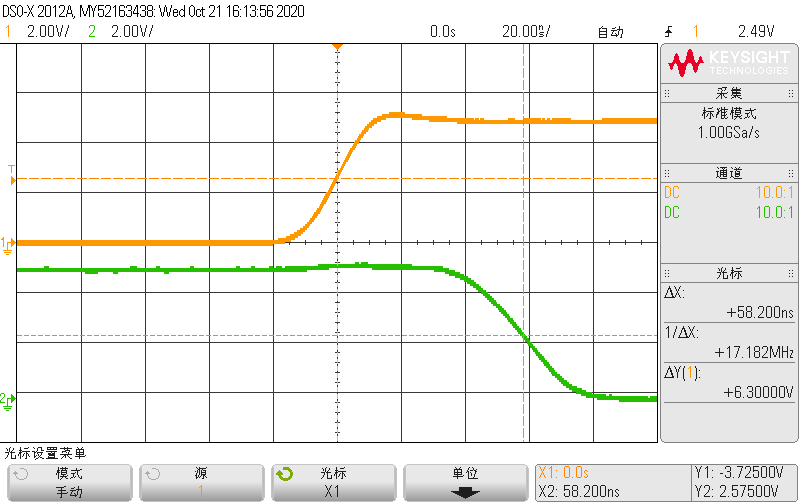


【实验结果】

·输入输出波形图如下：(橙色为输入，绿色为输出)

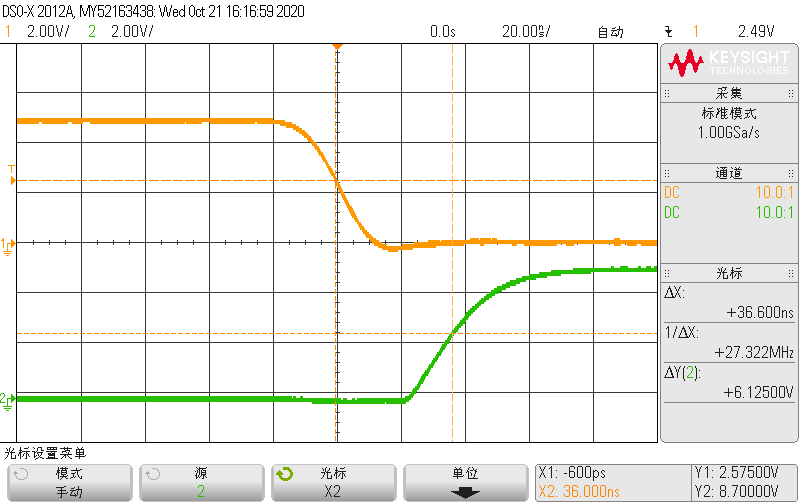


·测量tPHL波形图如下：



tPHL

·测量tPLH波形图如下：



tPLH

·实验数据记录：

|  |  |
| --- | --- |
| tPHL | 58.2ns |
| tPLH | 36.6ns |

**4.CMOS与非门CD4011的动态功耗**

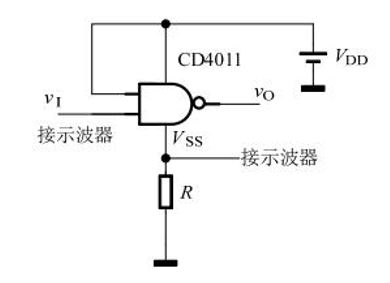
【实验任务】

·工作电压：5V

·输入信号：100Hz，0-5V，对称性50%的锯齿波

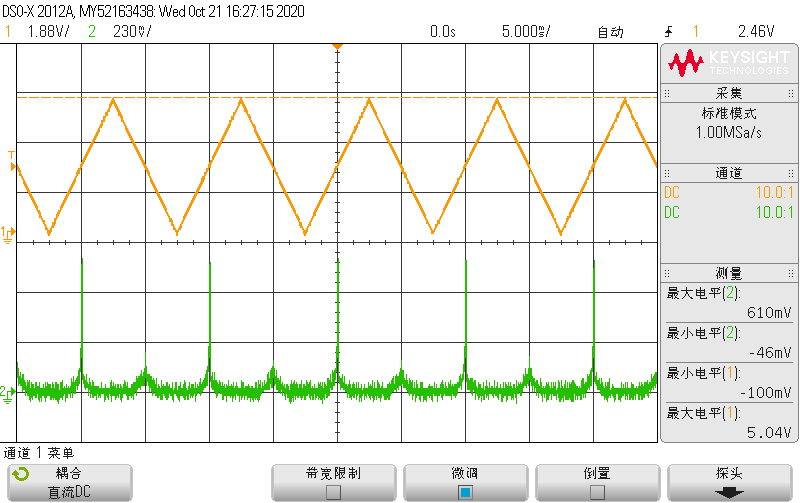
·实验任务：记录输入、输出波形。

·测量电路图如下：



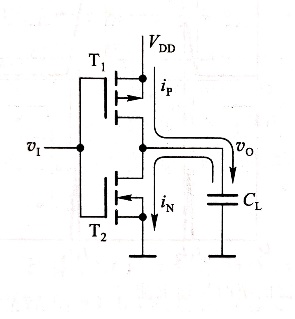
【实验结果】

·波形图如下：（橙色为输入，绿色为输出）



·分析如下

观测波形图不难发现，当输入电平从高电平变为低电平或低电平变为高电平经过0.5VDD的位置时，R上的电压（电流）会出现瞬时的尖峰，而其余的时候几乎为0。进一步观察可以发现，输入电平从高电平变为低电平时的尖峰电流要小于从低电平变为高电平时的尖峰电流。

CMOS的动态功耗是由两部分组成的，第一部分是对负载电容充放电所消耗的功率，第二部分是由于两个MOS管T1,T2在短时间内同时导通所消耗的瞬时导通功率。

先考虑第一部分，如右图所示，当输入电压由高电平跳变成低电平时，T1导通，T2截止，VDD经T1向CL充电，产生充电电流iP; 当输入电压由低电平跳变成高电平时，T1截止，T2导通，VDD经T1向CL放电，产生放电电流iN。而且此电流经由NMOS流入接地端。

对于第二部分，CMOS门电路在输入为低电平时，NMOS截止,PMOS导通，上拉出高电平；在输入为高电平时，NMOS导通,PMOS截止，下拉出高电平：这两种情况下经由MOS管流入接地端的漏电流几乎为0。而在VI从VIL向VIH和从VIH向VIL过渡过程中，在约为0.5VDD时，都会经历一个时间很短的上拉PMOS管和下拉NMOS管同时导通的过程，此时会有导通电流经由MOS流入接地端，体现为尖峰电流。而且由CMOS与非门构造可以知道，上拉部分是由两个PMOS管并联得到，导通电阻0.5RON,下拉部分是由两个NMOS管串联得到，导通电阻2RON，输入由0到1变化时，输出端维持高电平小电阻，输入由1到0时，输出端维持低电平大电阻，导致电流峰值不同。

综合以上两方面原因，输入电平从高电平变为低电平时的尖峰电流要小于从低电平变为高电平时的尖峰电流。

**5.高速CMOS与非门74HC00的噪声容限(选做)**

【实验任务】

·工作电压：5V

·输入信号：100Hz，0-5V，对称性50%的锯齿波

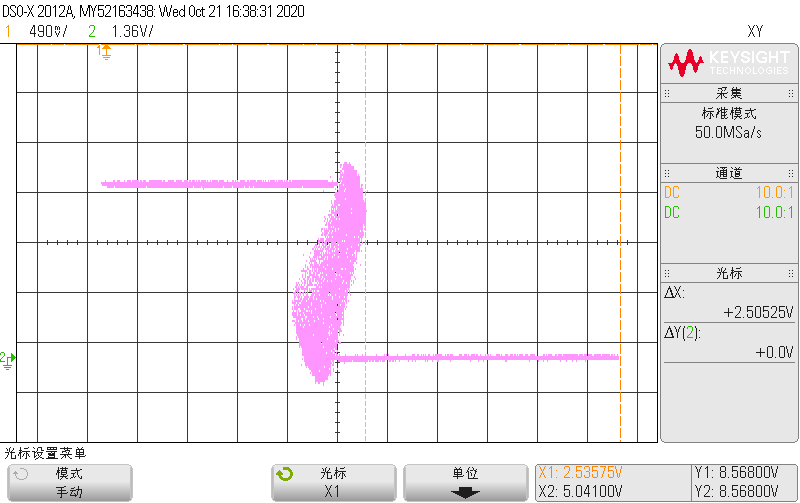
·实验任务：观测并记录电压传输特性曲线和输入噪声容限，并对实验现象做出分析

·测试电路图如任务1

【实验结果】

·波形图如下：

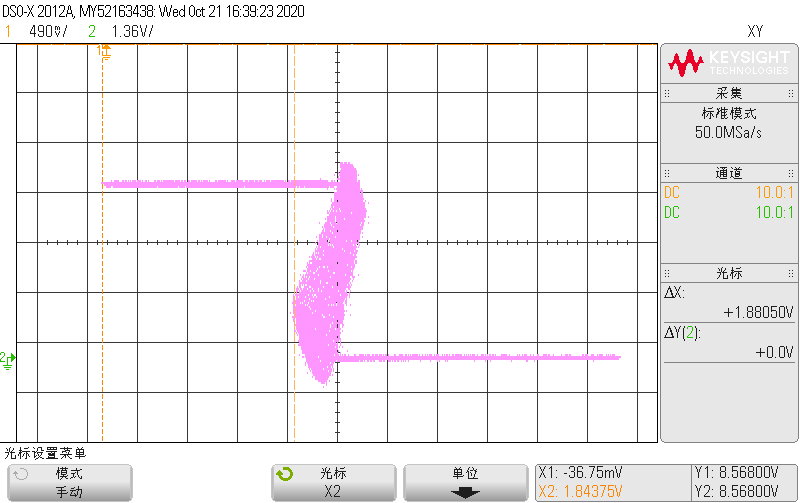
测量VNH波形图如下



VNH

VNL

测量VNL波形图如下



VNL

·实验数据如下

|  |  |  |
| --- | --- | --- |
| VTH | VNH | VNL |
| 1.838V | 2.505V | 1.881V |

·分析：

在该实验中，我们会发现，无论怎么调节示波器的设置，总是调节不出如必做实验一一样的波形，我猜测这是和门电路内部的构造有一定关联。观察实验波形图不难发现，在输入电压一段区域，会出现同一个输入电压对应多个输出电压的情况，这是一段不稳定的波形，甚至在我手不小心触碰到导线时都会有变化。因此，我们在读取74HC00的噪声容限时，应当读取到不稳定的区域边界就停止。所以74HC00在当前输入下噪声容限方面的特性不如CD4011。

**6.TTL与非门74LS00的输入端负载特性(选做)**

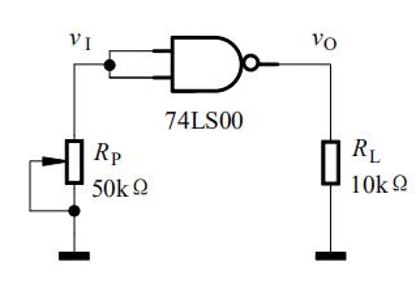
【实验任务】

·工作电压：5V

·输入信号：经可调电阻接地

·实验任务：记录Rp，VI，VO几组典型数据；读取输入低电平VIL、输入高电平VIH、输出低电平VOL、输出高电平VOH；画出输入端负载特性曲线

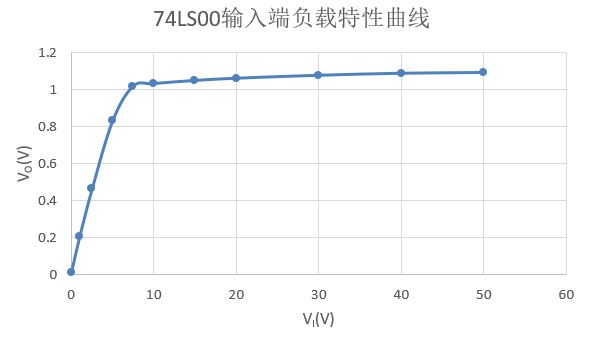
·测量电路图如下：



·实验记录如下：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| RP(kΩ) | 0 | 1.02 | 2.52 | 5.00 | 7.49 | 10.00 |
| VI(V) | 0.0125 | 0.2076 | 0.465 | 0.832 | 1.020 | 1.034 |
| VO(V) | 3.498 | 3.496 | 3.497 | 3.369 | 0.1499 | 0.1454 |
| RP(kΩ) | 14.99 | 20.00 | 30.01 | 40.00 | 50.00 | ∞ |
| VI(V) | 1.051 | 1.063 | 1.079 | 1.090 | 1.094 | 1.236 |
| VO(V) | 0.1428 | 0.1387 | 0.1369 | 0.1361 | 0.1361 | 0.1332 |

·输入特性曲线如下：



从表格中可以读出

|  |  |  |  |
| --- | --- | --- | --- |
| 输入低电平VIL | 输入高电平VIH | 输出低电平VOL | 输出高电平VOH |
| 0.0125V | 1.236V | 0.133V | 3.498V |

**三、实验总结**

1.实验中的测试方法和测试中的注意事项

测试方法主要是通过信号发生器产生输入信号然后通过XT或XY时基模式观测输出波形或者测量电压值。

注意事项有以下几个方面：

（1）芯片不用的门应对输入端进行接地处理

（2）实验之前应该把各个芯片的引脚排列查清楚。

（3）测量可调电阻阻值时必须断电并把电阻拿出来（或者断掉电阻所在支路的连线），否则测出来的是那一端口的等效电阻。

（4）最好能用镊子对导线、芯片进行操作，不易损坏原件

（5）输入信号要在调好测量以后再接入电路

（6）电流这样不容易测量的物理量可以通过已知阻值电阻上的电压来反映，要注意这种间接测量的方法。

2．实验中遇到的问题及解决办法

（1）一开始我一直在想直流电压高电平该怎么用信号发生器输出，后来想清楚了其实直接接高电平上就可以了。

（2）实验中部分极小的电压在示波器上很难测量出来的时候可以通过万用表进行测量。

（3）在实验4中我发现输出波形怎么都不正确，后来通过仔细检查电路发现我错误地把R接到了输出端上，经过改正以后输出了正确的波形。

3.实验收获

(1)更好地理解了门电路的电特性并且学会了其主要参数的测试方法。

(2)对示波器的使用更加熟练了。

(3)充足的准备工作和实验前的思考可以让实验进行的更快更顺利。

**四、思考题**

1.在CMOS数字集成电路中，如CD4011，若仅用其中的一个门电路，其余门电路的输入端应该如何处理？为什么？

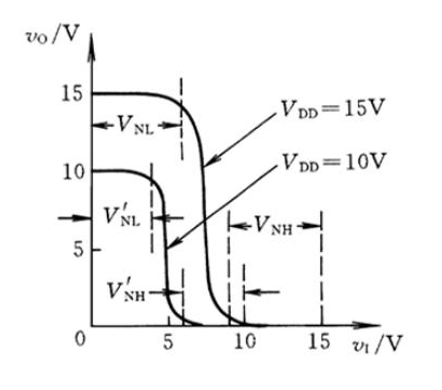
应该接高电平或者接地，不能悬空。首先，尽管CMOS的输入端已经设置了保护电路，但由于保护二极管和限流电阻的几何尺寸有限，它们所能承受的静电电压和脉冲频率均有一定限度，而MOS管的二氧化硅层又非常薄，很容易被击穿，若输入端悬空，容易造成静电电压损坏；其次，由于MOS管的栅极和其它各极间有绝缘层相隔，在直流状态下，栅极无电流，所以静态时栅极不取电流，输入电平与外接电阻无关。由于MOS管在电路中是一压控元件，基于这一特点，输入端信号易受外界干扰。

2.在TTL数字集成电路中，如74LS00，若仅用其中的一个门电路，其余门电路的输入端应该如何处理？为什么？

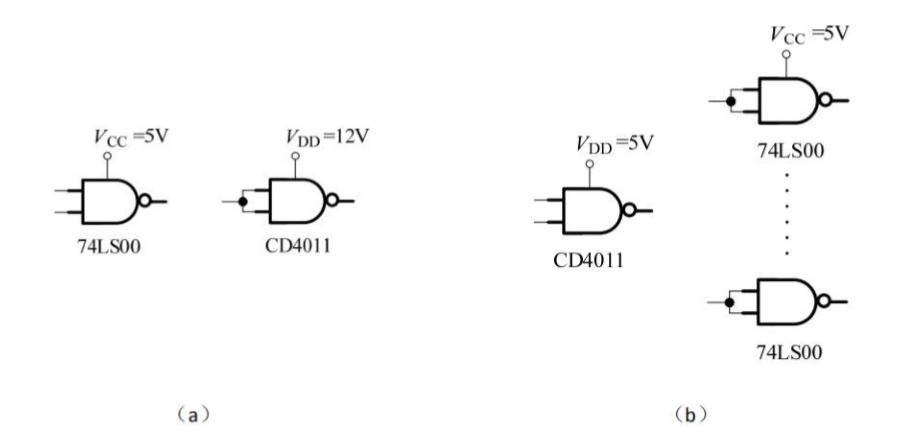
其余输入端应该接高电平或者接地，因为当输入端悬空时，电路极易受到干扰且输入端悬空相当于逻辑1。此外由TTL反相器输入特性来看，输入低电平时输入电流比较大，一般在几百微安到几毫安，输入高电平时输入电流比较小，一般在几十微安左右。所以这样来看，输入高电平时输入电流较小，功耗较低，所以我认为更好的做法是接高电平。

3.如要观测CMOS电路的直流噪声容限与电源电压的关系，需改变图1电路中芯片工作电压VDD和测试电路输入信号vI。请你根据实验室现有的仪器设备及主要技术指标判断能否进行实验。如能，请写出VDD和vI的取值，并画出电压传输特性曲线；如不能，请写明原因。

我认为可以，通过可以做多组实验，其中VDD取从5V~15V之间的多个值，每一次实验中通过信号发生器输出100Hz, 0~VDD, 对称性为50%的锯齿波作为vI，利用示波器XY时基模式观测电压传输特性曲线。最终会发现直流噪声容限随着电源电压的增大而逐渐增大，大致图像如下：



4.在下图所示的两个电路中，不同工艺的数字集成电路在互相对接时应该满足什么条件？



不同工艺的数字集成电路在互相对接时，应满足前级输出高电平的最小值高于后级输入高电平的最小值（落入后级高电平输入噪声容限内），且前级输出低电平的最大值低于后级输入低电平的最大值（落入后级低电平输入噪声容限内）。此外，还需要保证不管输出是高电平还是低电平时，流过MOS管的电流不超过允许电流的最大值。

（原始记录表格见附页）